

**Centro de Informática**

**Universidade Federal da Paraíba**

Relatório Final

**CI-LOCKER**

Lucas Jurani Lustosa Lopes

Marcílio de Oliveira Silva Júnior

Diógenes Fernando Xavier de Andrade

João Pessoa, 2018



**Centro de Informática**

**Universidade Federal da Paraíba**

CI-LOCKER

Relatório elaborado para o projeto final da disciplina Circuito Lógicos II, ministrada pelo Professor Eudisley Gomes dos Anjos do Centro de Informática da Universidade Federal da Paraíba.

João Pessoa, 2018

**Resumo**

Este projeto destina-se a implementação de uma fechadura eletrônica usando uma Matriz de Portas Programáveis em Campo, também conhecido como FPGA. Esta placa contém chip reprogramável a nível de portas lógicas, que correspondem a unidade elementar de qualquer circuito digital.

Utilizando a linguagem Verilog de acordo com o padrão IEEE para programação do FPGA, fomos capazes de condicionar a passagem de pessoas mediante inserção de uma combinação utilizando as 4 primeiras chaves da placa, utilizando Display de 7 Segmentos para auxílio .Por utilizar 4 chaves, há 24 (16) casos possíveis.

A utilização da linguagem de descrição de hardware Verilog foi implementada utilizando a IDE Quartus II versão 9.1 Web Edition SP2.

**Palavras-chave:** FPGA, Verilog, Fechadura, HDL, IEEE.

**Lista de siglas**

HDL - Hardware Description Language (Linguagem de descrição de hardware)

FPGA - Field Programmable Gate Array (Arranjo de portas programáveis em campo)

IEEE - O Instituto de Engenheiros Eletricistas e Eletrônicos

IDE - Integrated Development Environment (Ambiente de desenvolvimento integrado)

**Sumário**

1. Introdução 5

2. Metodologia 5

3. Descrição do Projeto 5

4. Execução do Projeto, Testes e Resultados 5

5. Conclusões 5

6. Referências 6

**1. Introdução**

Este projeto final da disciplina de Circuitos Lógicos II visa o desenvolvimento de um código em Verilog para que um FPGA possa realizar a função de uma fechadura eletrônica com contador de pessoas para o Centro de Informática.

A partir dos conhecimentos adquiridos em sala de aula na disciplina de Circuitos Lógicos II e com pesquisas a diversos fóruns e sites relacionados, além de discussões com colegas de classe, uma fechadura eletrônica foi implementada com sucesso. Contudo, algumas das requisições para a implementação exata do projeto não obteram êxito, foi o caso do uso do LCD para o auxílio, mostrando quando a senha inserida pelo usuário estava correta e quando estava errada.

Apesar das diversas formas de implementar esse objetivo, após diversas analises, chegamos a definição do código em questão, que usa as funções da linguagem de forma simplificada visando a melhor compreensão de uma forma de a resolver o desafio proposto.

**2. Metodologia**

Para realização desse projeto, partimos de um modelo pronto do uso de um LCD em Verilog, visto que as mensagens para o usuário seriam inseridas no LCD. Contudo, o uso do LCD foi falho, e não foi atingido o êxito utilizando o LCD.

Dessa forma, com o objetivo de substituir o LCD para a comunicação com o usuário foi sugerida o uso do Display de 7 segmentos, que apesar de ter uma limitação quanto a comunicação ainda atende a essa demanda de comunicação.

Portanto, após analisadas as limitações no caminho para a realização do programa proposto, iniciou-se o processo de desenvolvimento do CI LOCKER (fechadura eletrônica), utilizando o IDE (Ambiente de Desenvolvimento Integrado) Quartus II 9.1 Web Edition para programar o FPGA Altera DE-2 115.

**3. Descrição do Projeto**

O projeto visa a implementação de uma fechadura eletrônica utilizando um FPGA, sendo programado pelo Quartus II 9.1 Web Edition, com a linguagem de descrição de hardware Verilog.

A fechadura eletrônica consiste em uma sequência de passos feitas pelo o usuário para haver a abertuda da fechadura. Se por algum motivo houver uma sequência errada uma série de LED's vermelhos serão ativados, e aparecerá uma mensagem que indicará mensagem errada e o usuário deverá apertar o botão de Reset para que possa inserir novamente a senha. Se a sequência inserida está correta a fechadura é aberta e é informado no display de 7 segmentos uma mensagem que correspondente a essa liberação, e uma série de vários LEDs verde serão acesos.

A senha da fechadura eletrônica corresponde aos valores que o usuário da para as chaves (switch) do FPGA, onde cada uma assume o valor de 0 ou 1 e que juntas formam uma sequência binária para representar um um número decimal (senha). Uma vez que essa sequência é realizada, o usuário faz uso de um botão para confirmar sua entrada. Para o caso em que a sequência esteja correta, os LEDs verdes da placa acendem e na combinação de quatro display de 7 segmentos é escrita a palavra *Pass* (Passar), do contrário a combinação resulta na palavra '*ERRO'* e os LEDs vermelhos da placa são acessos. A partir de qualquer combinação o usuário pode tentar validar sua entrada ou pressionar um botão especifico que reseta os estados dos LEDs e displays de 7 segmentos e permite uma nova tentativa.

Há um contador que aumenta em uma unidade, toda vez que um usuário introduz a senha correta do sistema, assim, contabilizando quantas pessoas entraram utilizando a fechadura.

**4. Execução do Projeto, Testes e Resultados**

Um modelo de código pronto em Verilog para o uso do LCD foi o ponto de partida no desenvolvimento do projeto. Contudo, o uso do código do LCD no contexto do CI LOCKER não obteve êxito. Várias tentativas utilizando códigos de LCD prontos e códigos genéricos foram feitas. Dessa forma, foi concluído que o uso do LCD seria inviável em vista do prazo para a entrega do projeto. Portanto, foi proposto o uso do uso do Display de 7 Segmentos, que apesar de ter uma grande limitação em comunicação com o usuário em relação ao LCD, ainda iria suprir a necessidade dessa comunicação.

Em seguida foi implementado a forma de inserção da senha pelo usuário, que acontece utilizando as 4 primeiras chaves (switch) no FPGA, e após a inserção dessa senha o usuário deverá apertar um botão que confirma a senha inserida, e após isso essa senha será comparada com a senha chave, e a partir disso o programa irá ver se a senha inserida correponde com a palavra-passe.

Caso o usuário coloque uma senha correspondente à palavra-passe, uma série de LED's verdes serão acesos e a mensagem '"PASS" será mostrada no Display de 7 Segmentos mostrando que a entrada foi liberada.

Além disso, caso a entrada seja liberada um contador será incrementado a fim de contar quantas vezes a passagem foi liberada para que indique o número de pessoas entraram no CI. Contudo, mostrar esse contador de usuários no Display de 7 Segmentos não obteve êxito. Visto que o Display de 7 Segmentos possui uma sequência de ligamento de seus componentes diferentes para cada número , por exemplo a representação do '7' no display de 7 segmentos corresponde a '1111000', e do '9' corresponde a '0011000', o contador deveria ter vários operadores 'Case' para analisar a correspondência de um número com seu representante em um Display de 7 Segmentos. E esse fato acaba tornando o Display de 7 Segmentos para a representação do contador muito limitado em relação ao LCD, e foi concluído que seria deixada de fora o número de passagens liberadas pelo CI LOCKER no programa. Contudo, no código do programa ainda possui um protótipo dessa idéia comentado para que futuramente possa ser realmente implementada juntamento com o LCD. Dessa forma, mesmo com divergências em relação ao projeto proposto, o CI LOCKER foi finalizado.

**5. Conclusões**

Dado o exposto, conclui-se que a utilização do FPGA DE-2 115 Altera para a implementação de uma fechadura eletrônica é viável.

Mesmo com problemas no uso de ferramentas como por exemplo o LCD no FPGA, é visto que o FPGA é incrivelmente amplo em relação ao número de formas de utilizar para vários objetivos diferentes.

Além disso, foi concluído que apesar de o projeto utilizando o Display de 7 Segmentos obteve um êxito mesmo que limitado, o uso do LCD é muito mais interessante e apresenta um resultado muito melhor, mesmo que o nível de abstração para o seu uso seja mais complexo.

**6. Referências**

Aulas presenciais.

Slides disponibilizados pelo docente.

<http://verilog.renerta.com/source/vrg00004.htm>

<http://www.asic-world.com/verilog/>